

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-353880
 (43)Date of publication of application : 24.12.1999

(51)Int.Cl. G11C 11/41

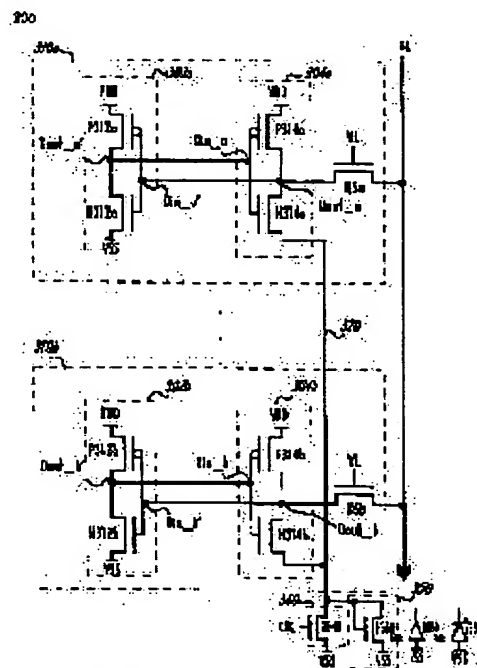
(21)Application number : 11-125702 (71)Applicant : HEWLETT PACKARD CO <HP>
 (22)Date of filing : 06.05.1999 (72)Inventor : KEVIN TSUAN
 DONALD R WEISS

(30)Priority
 Priority number : 98 73670 Priority date : 06.05.1998 Priority country : US

(54) ASYMMETRIC DESIGN FOR SRAM CELL APPLIED TO HIGH-DENSITY MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a design for a single-end type SRAM cell.
 SOLUTION: A design for a single-end type SRAM cell reduces the size of an SRAM, and it provides a high noise margin of a memory cell. A virtual ground line 320 is connected to sources of drive NFET's N314a, N314b in respective I/O port inverters 304a, 304b in respective memory cells 310a, 310b on a common bit-line column 300. An insulating mechanism 340 couples the virtual ground line 320 to a low reference voltage VSS during a readout operation and while '0' is being written into the memory cells 310a, 310b, and it insulates the virtual ground line 320 from the low reference voltage VSS while '1' is being written into the memory cells 310a, 310b. A clamp device 350 is coupled to the virtual ground line 320, it prevents the potential of the virtual ground line 320 from exceeding the threshold voltage of the insulating mechanism 340, and it prevents a value stored in one of the memory cells 310a, 310b coupled in common from being flipped when '1' is written into the memory cells 310a, 310b which are coupled in common.



LEGAL STATUS

[Date of request for examination]
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

特開平11-353880

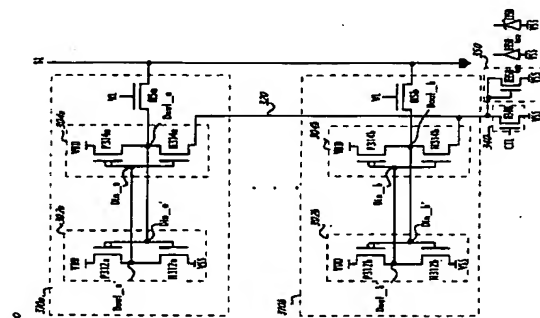
(43)公開日 平成11年(1999)12月24日

(51)Int.Cl. G11C 11/41	識別記号 G11C 11/41	特願平11-125702 平成11年(1999)5月6日	(71)出願人 399039580 ヒューレット・パッカー・カンパニー HEWLETT-PACKARD COMPANY アメリカ合衆国カリフォルニア州パロアルト ハノーバー・ストリート 3000 73670 1998年5月6日 米国 (US)	(72)発明者 ケビン・ツァン アメリカ合衆国オレゴン州97229, ポート ランド, ノース・ウエスト・トレードウィ ンド・ストリート-14258 井理士 古谷 肇 (外2名)	審査請求 未請求 請求項の数1 OL (全9頁)	F I G11C 11/40 B	最終頁に続く
---------------------------	--------------------	---------------------------------	---	--	--------------------------	---------------------	--------

(54)【発明の名称】
高密度記憶装置に適用するSRAMセルの非対象デザイン

【57】【要約】

【課題】 シグナルパルス形状SRAMメモリを提供すること
 【解決手段】 シグナルパルス形状SRAMメモリは、低電圧（320V）を共通バースに接続する。アドレス（310a、310b）の各ビットライン（304a、304b）の駆動用NFT（N314、N314）の出力（310a、310b）に「0」を置き込み中に反転接地線（320）を低基準電圧（VSS）に結合し、記憶（310a、310b）に「1」を置き込み中に反転接地線（320）を低基準電圧（VSS）に結合し、共通バース（350）は反転接地線（320）に結合され、反転接地線（320）の電位が継続増幅（340）のいっさい電圧を越えることを防止し、共通に結合された記憶（310a、310b）に「1」が書き込まれる際そのほかの共通に結合された記憶（310a、310b）のいずれかに記憶されたデータをカッパすることを防止し、



第2のインバータ出力 (D_{out_a} 、 D_{out_b}) と前記低基準電圧 (VSS) との間にドレインソースで結合される第4のFET (N312a、N312b) とから成り、前記第2のインバータ入力 (D_{in_a} 、 D_{in_b}) が前記第3のFET (P312a、P312b) 及び前記第4のFET (N312a、N312b) 各々のゲートに結合され、前記第1のインバータ出力 (D_{out_a} 、 D_{out_b}) が前記第2のインバータ入力 (D_{in_a} 、 D_{in_b}) に結合され、前記第2のインバータ出力 (D_{out_a} 、 D_{out_b}) が前記第1のインバータ入力 (D_{in_a} 、 D_{in_b}) に結合される、上記1項から5項の何れかの記憶メモリ。

[0040] 7. 前記切り替え手段 (N5a、N5b) が前記1/Oポート (D_{out_a} 、 D_{out_b}) と前記ビット線 (BL) との間にドレインソースで結合され、前記選択信号 (WL) に結合されるゲートを有するFETを含む、上記1項から6項の何れかの記憶メモリ。

[0041] 8. 各々の記憶セル (310a、310b) が同じカラム (300) の要素を成し、共通のビット線 (BL) に切り替え可能に結合される入力出力 (1/O) ポート (D_{out_a} 、 D_{out_b}) を含む複数の記憶セル (310a、310b) と、ドレインードレインの周縁で高基準電圧 (VDD) と低基準電圧 (320) との間に結合される第1のNFET (N314a、N314b) 及び第1のPFET (P314a、P314b) から成る第1のインバータ (304a、304b) と、前記低基準電圧 (320) が低基準電圧 (VSS) に切り替え可能に結合され、前記第1のインバータ (304a、304b) に結合されて双安定フリップフロップを形成する第2のインバータ (302a、302b) とから成るスタティックランダムアクセスメモリ (SRAM) アレイにおいて、前記記憶セル (310a、310b) に前記高基準電圧 (VDD) の書き込みの前に前記第1のインバータ (304a、304b) の前記第1

のNFET (N314a、N314b) を弱める為の方法であって、前記低基準電圧 (320) が前記絶縁機構 (340) のしきい電圧を越えないように前記低基準電圧 (320) をクランプ (350) するステップと、前記複数の記憶セル (310a、310b) のいずれかに低基準電圧 (VSS) の書き込み、もしくは読み取りの間、前記低基準電圧 (320) を前記低基準電圧 (VSS) に結合するステップと、前記複数の記憶セル (310a、310b) のいずれかに前記高基準電圧 (VDD) の書き込みの間は前記低基準電圧 (320) を前記低基準電圧 (VSS) から絶縁するステップとから成る、方法。

[0042]

【発明の効果】本発明により、読み取り動作中の安定性と書き込み動作中の高速性を供し得るシングルエンド形記憶セルデザインが提供される。

【図面の簡単な説明】

【図1】従来技術によるSRAMアレイの概略図である。

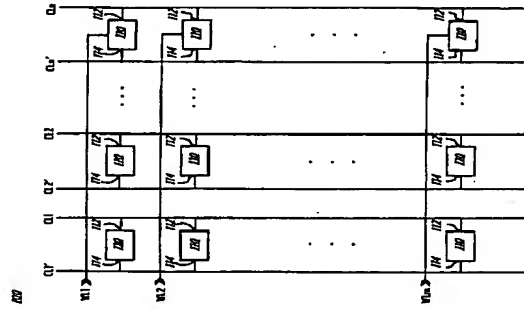
【図2】従来技術による従来型SRAMセルのブロック図である。

【図3】本発明による記憶セルの概略図である。

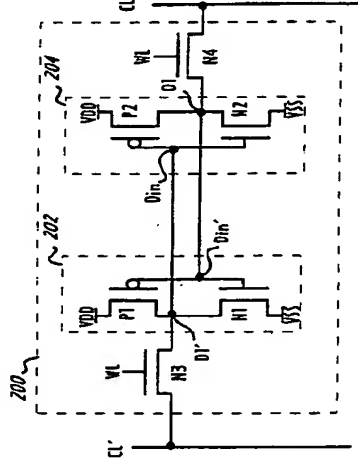
【符号の説明】

100 SRAMアレイ
200 6トランジスタスタティック読み取り/書き込み記憶セル
302a、302b、304a、304b CMOSインバータ
310a、310b 記憶セル
320 低基準電圧
340 絶縁機構
350 クランプ装置
D350 ダイオード
Z350 ツェナーダイオード

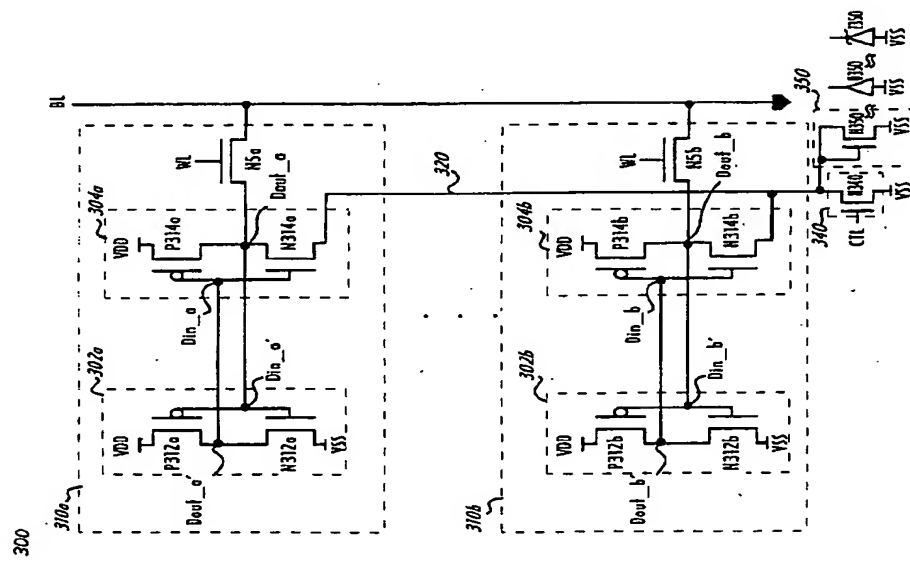
【図1】



【図2】



(図3)



フロントページの続き

(72)発明者 ドナルド・アール・ウェイス
アメリカ合衆国コロラド州80525、フォー
ト・コリンズ、モッキンバード・ドライ
ブ・7951